

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Attorney Docket No.: 40296-0033

Applicant: In Soo KIM et al.

Confirmation No.:

Appl. No.: Unassigned

Examiner: Unassigned

Filing Date: July 30, 2003

Art Unit: Unassigned

Title: ADDRESS COUNTER STROBE TEST MODE DEVICE

CLAIM FOR CONVENTION PRIORITY

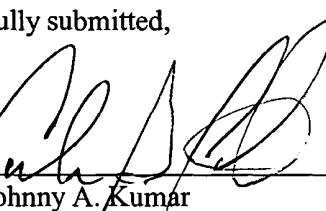
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed. In support of this claim, filed herewith is a certified copy of said original foreign application:

Korean Patent Application No. 10-2002-0086703 filed December 30, 2002

Respectfully submitted,

By  31, 298
For: Johnny A. Kumar

Date: July 30, 2003

HELLER EHRLMAN WHITE &
MCAULIFFE
1666 K Street, N.W., Suite 300
Washington, DC 20006
Telephone: (202) 912-2000
Facsimile: (202) 912-2020

Attorney for Applicant
Registration No. 34,649
Customer No. 26633

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0086703
Application Number

출원년월일 : 2002년 12월 30일
Date of Application DEC 30, 2002

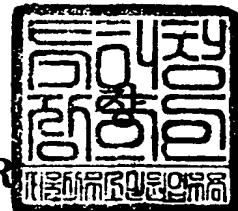
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003년 05월 21일

특허청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0116
【제출일자】	2002. 12. 30
【국제특허분류】	H01L
【발명의 명칭】	어드레스 카운터 스트로브 테스트 모드 장치
【발명의 영문명칭】	Address counter strobe test mode device
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	이후동
【대리인코드】	9-1998-000649-0
【포괄위임등록번호】	1999-058167-2
【대리인】	
【성명】	이정훈
【대리인코드】	9-1998-000350-5
【포괄위임등록번호】	1999-054155-9
【발명자】	
【성명의 국문표기】	김인수
【성명의 영문표기】	KIM, In Soo
【주민등록번호】	740318-1401010
【우편번호】	138-840
【주소】	서울특별시 송파구 삼전동 117-5(#203)
【국적】	KR
【발명자】	
【성명의 국문표기】	남영준
【성명의 영문표기】	NAM, Young Jun
【주민등록번호】	690921-1117230

【우편번호】 502-754

【주소】 광주광역시 서구 치평동 1171-4 금호쌍용아파트 205-702

【국적】 KR

【심사청구】 청구

【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정
에 의한 출원심사 를 청구합니다. 대리인
이후동 (인) 대리인
이정훈 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 0 면 0 원

【우선권주장료】 0 건 0 원

【심사청구료】 4 항 237,000 원

【합계】 266,000 원

【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 어드레스 카운터 스트로브 테스트 모드장치에 관한 것으로서, 외부 클럭 신호를 수신하여 내부 클럭신호를 발생시키는 기준펄스 발생부와, 제어신호에 따라 상기 내부클럭신호의 펄스 폭 및 펄스 발생시간을 조절하여 외부 어드레스 입력신호를 출력하는 어드레스 카운터 스트로브 테스트 모드부와, 외부 어드레스 입력신호에 따라, 외부 어드레스 신호를 수신하여 내부 어드레스 신호를 출력하는 내부 어드레스 카운터부와, 내부 어드레스 신호를 디코딩하는 어드레스 디코딩부와, 외부에 구비되고 내부 어드레스 신호를 테스트하는 패드를 포함하여, 디램이 잘못된 어드레스를 액세스하여 발생하는 오동작을 방지하는 것을 특징으로 한다.

【대표도】

도 3

【명세서】**【발명의 명칭】**

어드레스 카운터 스트로브 테스트 모드 장치{Address counter strobe test mode device}

【도면의 간단한 설명】

도 1은 종래의 어드레스 카운터회로의 오동작을 나타내는 타이밍도.

도 2는 본 발명의 실시예에 따른 어드레스 카운터 스트로브 테스트 모드 장치의 전체 개념도.

도 3은 본 발명의 실시예에 따른 어드레스 카운터 스트로브 테스트 모드부(2)의 세부 회로도.

도 4는 도 3의 어드레스 스트로브 펄스 발생시간 변경 시의 타이밍도.

도 5는 도 3의 어드레스 스트로브 펄스 폭 변경 시의 타이밍도.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<6> 본 발명은 디램 반도체 소자가 외부로부터 어드레스를 입력받아 내부 어드레스를 만드는 내부 어드레스 카운터의 동작을 모니터링하는 테스트 모드 장치에 관한 것으로서, 어드레스 카운터 회로에 오동작이 발생 시 디램 내부 클럭신호의 펄스폭 및 펄스 발생 시간을 조절하여 오동작을 해결하는 어드레스 카운터 스트로브 테스트 모드장치에 관한 것이다.

<7> 최근 디램의 동작속도가 빨라지면서 디램 외부에서 입력되는 커맨드 신호나 어드레스 신호를 수신하는 동작 시에 많은 불량이 발생하고 있는 추세이다. 이러한 불량을 모니터링하고 해결하기 위해 테스트 모드 회로가 필요하다.

<8> 일반적으로 많이 발생하는 불량 중에 디램이 외부 어드레스를 제대로 수신하지 못했을 경우 발생하는 컬럼성 페일이 있는데, 이 컬럼성 페일이 외부 어드레스를 수신하지 못하여 발생하는 문제인지 비트라인 센스앰프나 입출력 라인 센스앰프의 문제인지 그 페일원인을 판별하기가 어려운 문제점이 있었다.

<9> 이러한 컬럼성 페일을 해결하기 위해 외부 어드레스를 수신하는 디램 내부 신호의 펄스폭을 조절하는 방법이 있다.

<10> 그러나, 종래의 펄스폭 조절 기술은 어떤 하나의 펄스폭을 조절하면, 어드레스 스트로브 신호와 리드/라이트 스트로브 신호의 펄스폭이 모두 조절되는 문제점이 생긴다.

<11> 즉, 기준 펄스 발생부를 통해 발생된 내부클럭신호(clkp4)의 펄스신호를 사용하여 어드레스 스트로브 신호와 리드/라이트 스트로브 신호를 발생시키기 때문에, 어드레스 스트로브 신호의 펄스폭을 조절하면, 나머지 리드/라이트 스트로브 신호의 펄스폭까지 조절되는 문제점이 생긴다.

<12> 이처럼 어드레스 스트로브 신호의 펄스폭을 조절하면 모든 신호의 펄스폭이 동시에 변하게 되므로, 어떤 신호의 펄스폭이 늘어나 디램의 오동작이 개선 되었는지 알 수가 없었다.

<13> 이와같은 문제점을 구체적으로 설명하기 위해 도 1을 참조하여 설명하기로 한다.

<14> 도 1은 종래에 컬럼성 폐일을 해결하기 위해 외부 어드레스를 수신하는 디램 내부 신호의 폴스폭을 임의로 조절한 경우 발생하는 오동작을 도시한다.

<15> 도 1에 도시한 바와같이, 외부 클럭신호(CLK)가 입력되고 외부어드레스(add<0>)의 입력에 따라 외부 컬럼 어드레스신호를 받아들이는 외부 어드레스 입력신호(extyp8)가 입력된다.

<16> 이때, 외부어드레스신호(add<0>)가 하이레벨에서 로우레벨로 떨어지는 경우에, 외부 어드레스 입력신호(extyp8)도 로우레벨로 천이되어야 한다.

<17> 그런데, 외부어드레스신호(add<0>)가 로우레벨로 천이 된 후에도 외부 어드레스 입력신호(extyp8)가 계속 인에이블 되어 있다가(a,b,c), 로우레벨로 천이된다.

<18> 즉, 외부 어드레스신호(add<0>)가 하이레벨에서 로우레벨로 천이될 때 외부 어드레스 입력신호(extyp8)는 하이레벨에서 로우레벨로 곧바로 천이되지 않고 하이레벨에서 좀 머물다 로우레벨로 천이된다. 따라서, 외부 어드레스 입력신호(extyp8)가 곧바로 천이되지 않고 하이레벨에서 머무는 동안 디램이 잘못된 어드레스를 액세스하게 되는 문제점이 발생한다.

<19> 이와같이, 외부 어드레스 입력신호(extyp8)에 따른 내부어드레스 신호(add_ev<1>)가 정상적으로 출력되지 못하고, 외부 어드레스 입력신호(extyp8)가 로우레벨로 되면 내부어드레스 신호(add_ev<1>)도 로우레벨로 되고 뒤이어 하이레벨로 천이되는 비정상적인 동작을 하게 되는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<20> 상기와 같은 문제점을 해결하기 위한 본 발명의 목적은, 외부 어드레스를 수신하여 내부 어드레스 카운터에 전달하는 어드레스 스트로브 신호의 펄스폭 및 발생시간을 조절 할 수 있도록 하여 컬럼성 폐일을 방지하는 데 있다.

【발명의 구성 및 작용】

<21> 상기 과제를 달성하기 위한 본 발명은 외부 클럭신호를 수신하여 내부 클럭신호를 발생시키는 기준펄스 발생부와, 제어신호에 따라 상기 내부클럭신호의 펄스 폭 및 펄스 발생시간을 조절하여 외부 어드레스 입력신호를 출력하는 어드레스 카운터 스트로브 테스트 모드부와, 외부 어드레스 입력신호에 따라, 외부 어드레스 신호를 수신하여 내부 어드레스 신호를 출력하는 내부 어드레스 카운터부와, 내부 어드레스 신호를 디코딩하는 어드레스 디코딩부와, 외부에 구비되고 내부 어드레스 신호를 테스트하는 패드를 포함 하는 것을 특징으로 한다.

<22> 상술한 목적 및 기타의 목적과 본 발명의 특징 및 이점은 첨부도면과 관련한 다음의 상세한 설명을 통해 보다 분명해 질 것이다.

<23> 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 상세히 설명하면 다음과 같다.

<24> 도 2는 본 발명의 실시예에 따른 테스트 모드 회로의 전체 개념도이다.

<25> 테스트 모드 회로는 기준펄스 발생부(1), 어드레스 카운터 스트로브 테스트 모드부(2), 내부어드레스 카운터(3), 어드레스 디코더(4) 및 패드(5)를 구성한다.

<26> 기준펄스 발생부(1)는 외부클럭신호(CLK)를 수신하여 내부클럭신호(clkp4)를 출력 한다.

<27> 어드레스 카운터 스트로브 테스트 모드부(2)는 기준펄스 발생부(1)로부터 내부클럭 신호(clkp4)를 수신하고, 엠알에스(MRS)로부터 제어신호(tm_faster, tm_delay, tm_wide, tm_narrow)를 수신한다. 이때, 제어신호(tm_faster, tm_delay, tm_wide, tm_narrow)에 따라 어드레스 스트로브 신호의 폴스폭과 폴스 발생시간을 조절하여 외부 어드레스 입력 신호(extyp8)를 출력한다.

<28> 내부 어드레스 카운터(3)는 외부로부터 외부 어드레스신호(add<0>, add<1>)를 수신하고, 외부 어드레스 입력신호(extyp8)를 이용하여 내부 어드레스 신호(add_ev<1>, add_od<1>)를 출력한다.

<29> 어드레스 디코더(4)는 내부 어드레스 신호(add_ev<1>, add_od<1>)를 수신하여 내부 어드레스를 디코딩한다. 패드(5)는 외부에서 내부 어드레스 신호(add_ev<1>, add_od<1>)를 모니터링하여 회로의 정상동작 여부를 판별하도록 한다.

<30> 도 3은 본 발명의 실시예에 따른 어드레스 카운터 스트로브 테스트 모드부(2)의 세부 회로도이다.

<31> 어드레스 카운터 스트로브 테스트 모드부(2)는 제어신호(tm_faster, tm_delay, tm_wide, tm_narrow)에 의해 제어되어 내부클럭신호(clkp4)의 폴스 발생시간 및 폴스폭을 조절하여 외부 어드레스 입력신호(extyp8)를 출력한다. 여기서, 제어신호(tm_faster, tm_delay, tm_wide, tm_narrow)는 디램의 MRS로부터 출력된다.

<32> 어드레스 카운터 스트로브 테스트 모드부(2)는 내부클럭신호(clkp4)의 폴스 발생시간을 조절하는 폴스 발생시간 제어부(20)와 내부클럭신호(clkp4)의 폴스 폭을 조절하는 폴스폭 제어부(30)로 구성된다.

<33> 펄스 발생시간 제어부(20)는 디코더(21), 낸드게이트(NA0 내지 NA5), 지연부(22, 23, 24), 인버터(I13) 및 노아게이트(N00)로 구성되며, 내부클럭신호(clkp4)를 수신하고 제어신호(tm_faster, tm_delay)에 따라 지연시켜 클럭신호(clkp5)를 출력한다.

<34> 디코더(21)는 제어신호(tm_faster, tm_delay)를 디코딩하여 4개의 신호를 각 노드(N0 내지 N3)로 출력하고, 4개의 각 출력과 내부클럭신호(clkp4)는 낸드게이트(NA0 내지 NA3)로 입력되어 논리연산된다.

<35> 낸드게이트(NA0)는 노드(N0)의 출력과 내부클럭신호(clkp4)를 논리연산하여 그 결과를 지연부(22)로 출력한다. 여기서, 지연부(22)는 인버터(I1, I2)로 구성된다.

<36> 낸드게이트(NA1)는 노드(N1)의 출력과 내부클럭신호(clkp4)를 논리연산하여 그 결과를 지연없이 출력한다.

<37> 낸드게이트(NA2)는 노드(N2)의 출력과 내부클럭신호(clkp4)를 논리연산하여 그 결과를 지연부(23)로 출력한다. 여기서, 지연부(23)는 인버터(I3 내지 I6)로 구성된다.

<38> 낸드게이트(NA3)는 노드(N3)의 출력과 내부클럭신호(clkp4)를 논리연산하여 그 결과를 지연부(24)로 출력한다. 여기서, 지연부(24)는 인버터(I7 내지 I12)로 구성된다. 이처럼 각 지연부(22 내지 24)는 인버터 체인 개수에 따라 지연시간을 늘리거나 줄여 지연시간을 조절한다.

<39> 낸드게이트(NA4)는 낸드게이트(NA1)의 출력과 지연부(22)를 통해 지연된 낸드게이트(NA0)의 출력을 논리연산하고, 낸드게이트(NA5)는 지연부(23) 및 지연부(24)의 출력을 논리연산하여 그 결과를 출력한다.

<40> 노아게이트(N00)는 낸드게이트(NA4, NA5)의 출력을 노아연산을 수행하고 인버터(I13)를 통해 클럭신호(clkp5)를 출력한다.

<41> 표 1은 펄스 발생시간 제어부(20)의 진리동작표이다.

<42> <표 1>

	tm_faster	tm_delay	선택노드	선택논리주단	지연정도
	L	L	N0	NA0	인버터2개
	H	L	N1	NA1	지연없음
	L	H	N2	NA2	인버터4개
	H	H	N3	NA3	인버터6개

<44> 표 1은 내부클럭신호(clkp4)가 인에이블 되었을 경우에 제어신호(tm_faster, tm_delay)의 로직상태에 따른 펄스 발생시간 조절 동작에 대한 진리표를 나타낸다.

<45> 제어신호(tm_faster, tm_delay)가 모두 로우레벨인 경우는 정상상태로서 노드(N0)가 하이레벨이 되고, 낸드게이트(NA0)를 통해 수신한 내부클럭신호(clkp4)를 지연부(22)의 두 개의 인버터체인(I1, I2)만큼 지연시켜 출력한다.

<46> 제어신호(tm_faster)가 하이레벨이고 제어신호(tm_delay)가 로우레벨이면 노드(NA1)가 하이레벨이 되고, 낸드게이트(NA0)를 통해 수신한 내부클럭신호(clkp4)를 지연 없이 출력한다.

<47> 제어신호(tm_faster)가 로우레벨이고 제어신호(tm_delay)가 하이레벨인 경우는 정상상태로서 노드(N2)가 하이레벨이 되고, 낸드게이트(NA2)를 통해 수신한 내부클럭신호(clkp4)를 지연부(23)의 네 개의 인버터체인(I3 내지 I6)만큼 지연시킨다. 이때, 제어신호(tm_faster, tm_delay)가 모두 로우레벨인 정상상태보다 더 지연시켜 출력한다.

<48> 제어신호(tm_faster, tm_delay)가 모두 하이레벨인 경우는 정상상태로서 노드(N3)가 하이레벨이 되고, 낸드게이트(NA3)를 통해 수신한 내부클럭신호(clkp4)를 지연부(24)의 여섯 개의 인버터체인(I7 내지 I12)만큼 지연시켜 출력한다. 이때, 제어신호(tm_faster)가 로우레벨이고 제어신호(tm_delay)가 하이레벨이 경우 보다 더 지연시켜 출력한다

<49> 이처럼 펄스 발생시간 제어부(20)는 제어신호(tm_faster, tm_delay)의 상태에 따라 지연시간을 다르게 하여 내부클럭신호(clkp4)의 펄스 발생시간을 조절한다.

<50> 펄스폭 제어부(30)는 노아게이트(N01, N02), 인버터(I14 내지 I24), 전송게이트(TG1 내지 TG4), 낸드게이트(NA6)를 구비하고, 제어신호(tm_wide, tm_narrow)에 따라 클럭신호(clkp5)의 펄스폭을 조절하여 외부 어드레스 입력신호(extyp8)로 출력한다.

<51> 노아게이트(N01)는 제어신호(tm_wide, tm_narrow)를 입력으로 하여 노아연산을 수행하고, 전송게이트(TG1, TG2)는 노아게이트(N01)의 결과에 의해 제어되어 출력신호(clkp5)를 전송한다.

<52> 노아게이트(N02)는 전송게이트(TG2)의 출력과 인버터(I15, I16)를 통해 지연된 출력을 이용하여 노아연산을 수행하고, 그 결과는 인버터(I20)를 통해 반전되어 전송게이트(TG3)를 통해 전송된다. 이때, 전송게이트(TG3)는 제어신호(tm_wide)에 의해 제어된다.

<53> 낸드게이트(NA6)는 전송게이트(TG2)의 출력과, 인버터(I15 내지 I18)를 통해 지연된 출력을 수신하여 논리연산을 수행하고, 그 결과는 인버터(I19)를 통해 반전되어 전송

게이트(TG4)를 통해 전송된다. 이때, 전송게이트(TG4)는 제어신호(tm_narrow)에 의해 제어된다.

<54> 전송게이트(TG1, TG3, TG4)의 출력은 인버터(I23, I24)를 통해 지연되어 외부 컬럼 어드레스 입력신호(extyp8)로 출력된다.

<55> <표 2>

tm_wide	tm_narrow	선택전송게이트
L	L	TG1
H	L	TG2, TG3
L	H	TG2, TG4
H	H	TG2, TG3, TG4

<57> 표 2는 제어신호(tm_wide, tm_narrow)의 로직상태에 따른 전송게이트의 동작 상태를 나타낸다.

<58> 제어신호(tm_wide, tm_narrow)가 모두 로우레벨이면 전송게이트(TG1)가 동작되어 클럭신호(clkp5)의 폴스 폭 조정없이 그대로 외부 어드레스 입력신호(extyp8)를 출력한다.

<59> 제어신호(tm_wide)가 로우레벨이고 제어신호(tm_narrow)가 하이레벨이면, 전송게이트(TG2, TG4)가 구동되고 지연되지 않은 클럭신호(clkp5)와 인버터(I15 내지 I16)를 통해 지연된 클럭신호(clkp5)를 낸드게이트(NA6)를 통해 논리 조합함으로써 클럭신호(clkp5)의 폴스폭이 좁아지게 된다. 따라서, 출력신호인 외부 어드레스 입력신호(extyp8)의 폴스폭이 좁아지게 된다.

<60> 제어신호(tm_wide)가 하이레벨이고 제어신호(tm_narrow)가 로우레벨이면, 전송게이트(TG2, TG3)가 구동되고 지연되지 않은 클럭신호(clkp5)와 인버터(I15, I16)를 통해 지

연된 클럭신호(clk5)를 노아게이트(N02)를 통해 노아 조합함으로써, 클럭신호(clkp5)의 펄스폭이 넓어지게 된다. 따라서, 출력신호인 외부 어드레스 입력신호(extyp8)의 펄스폭이 넓어지게 된다.

- <61> 제어신호(tm_wide, tm_narrow)가 모두 하이레벨이면 전송게이트(TG2, TG3, TG4)가 동작되어 클럭신호(clkp5)의 펄스 폭이 넓어지고 좁혀짐이 동시에 수행되어 외부 어드레스 입력신호(extyp8)를 출력한다.
- <62> 이처럼 외부 어드레스 입력신호(extyp8)는 내부클럭신호(clkp4)의 펄스폭 및 펄스 발생시간이 조절되어 출력된다.
- <63> 이러한 외부 어드레스 입력신호(extyp8)의 펄스 발생시간 및 펄스 폭이 변경된 모습을 도 4 및 도 5를 참조하여 설명하기로 한다.
- <64> 도 4는 도 3의 외부 어드레스 입력신호(extyp8)의 펄스 발생시간이 변경된 모습을 도시한 타이밍도이다.
- <65> 먼저 일정한 외부 클럭신호(CLK)가 있고, 외부어드레스신호(add<0>, add<1>)가 일정한 클럭을 나타내고, 내부클럭신호(clkp4)가 인에이블되면 외부 어드레스 입력신호(extyp8)가 인에이블된다.
- <66> 이때, A 부분은 정상적인 외부 어드레스 입력신호(extyp8)이고, B 부분은 제어신호(tm_faster)가 인에이블되어 정상상태(A)보다 외부 어드레스 입력신호(extyp8)가 빨리 발생한 모습이고, C 부분은 제어신호(tm_delay)가 인에이블되어 정상상태(A)보다 외부 어드레스 입력신호(extyp8)가 늦게 발생한 모습이다.

<67> 도 5는 도 3의 외부 어드레스 입력신호(extyp8)의 펠스 폭이 변경된 모습을 도시한 타이밍도이다.

<68> 내부클럭신호(clkp4)가 인에이블되면 외부 어드레스 입력신호(extyp8)가 인에이블 된다.

<69> D 부분은 정상적인 외부 어드레스 입력신호(extyp8)의 펠스 폭 모습이고, E 부분은 제어신호(tm_wide)가 인에이블되어 펠스 폭이 넓어진 모습이고, F 부분은 제어신호(tm_narrow)가 인에이블되어 펠스 폭이 좁아진 모습이다.

<70> 이처럼 외부 어드레스 입력신호(extyp8)의 펠스 폭 및 펠스 발생시간을 조절함으로써 디램이 잘못된 어드레스를 액세스하게 되어 발생하는 오동작을 방지할 수 있다.

【발명의 효과】

<71> 이상에서 살펴본 바와 같이, 본 발명에 따른 어드레스 카운터 스트로브 테스트 모드 장치는, 내부신호의 펠스폭 및 펠스 발생시간을 용이하게 조절함으로써, 디램 동작 시 잘못된 어드레스를 액세스하여 발생되는 오동작을 방지하는 효과가 있다.

<72> 아울러 본 발명의 바람직한 실시예는 예시의 목적을 위한 것으로, 당업자라면 첨부된 특허청구범위의 기술적 사상과 범위를 통해 다양한 수정, 변경, 대체 및 부가가 가능할 것이며, 이러한 수정 변경 등은 이하의 특허청구범위에 속하는 것으로 보아야 할 것이다.

【특허청구범위】**【청구항 1】**

외부 클럭신호를 수신하여 내부 클럭신호를 발생시키는 기준펄스 발생부;
제어신호에 따라 상기 내부클럭신호의 폴스 폭 및 폴스 발생시간을 조절하여 외부
어드레스 입력신호를 출력하는 어드레스 카운터 스트로브 테스트 모드부;
상기 외부 어드레스 입력신호에 따라, 외부 어드레스 신호를 수신하여 내부 어드레
스 신호를 출력하는 내부 어드레스 카운터부;
상기 내부 어드레스 신호를 디코딩하는 어드레스 디코딩부; 및
외부에 구비되고, 상기 내부 어드레스 신호를 테스트하는 패드를 포함하는 어드레
스 카운터 스트로브 테스트 모드 장치.

【청구항 2】

제 1항에 있어서, 상기어드레스 카운터 스트로브 테스트 모드부는
제 1 제어신호에 의해 제어되어 상기 내부클럭신호를 소정의 지역부에 따라 지역
시켜 폴스 발생시간을 제어하는 폴스 발생시간 제어부; 및
제 2 제어신호에 의해 제어되어 상기 내부클럭신호의 폴스 폭을 제어하는 폴스 폭
제어부를 구비하는 것을 특징으로 하는 어드레스 카운터 스트로브 테스트 모드 장치.

【청구항 3】

제 2항에 있어서, 상기 폴스 발생시간 제어부는
상기 제 1 제어신호를 수신하여 디코딩하는 디코더;

상기 디코더의 출력과 상기 내부클럭신호를 논리조합하는 복수개의 논리조합수단;

및

상기 논리조합수단의 각 출력을 상기 제 1 제어신호의 상태에 따라 지연시키는 복수개의 지연부를 구비하는 것을 특징으로 하는 어드레스 카운터 스트로브 테스트 모드 장치.

【청구항 4】

제 2항에 있어서, 상기 펄스 폭 제어부는

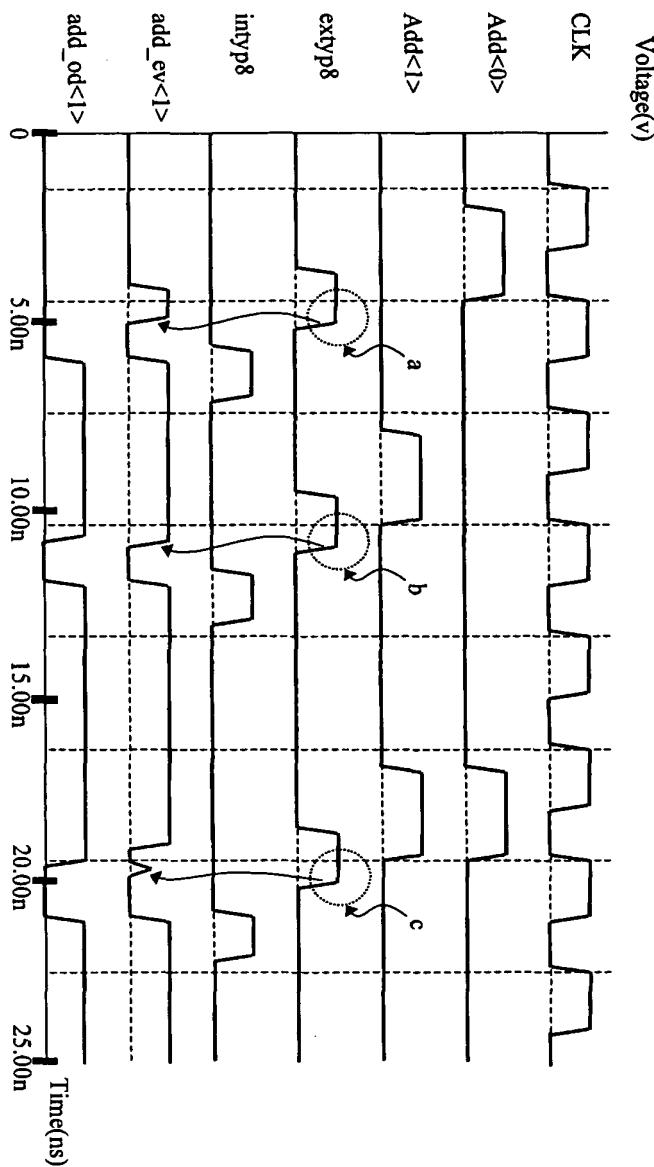
상기 제 2 제어신호에 의해 제어되어 상기 내부클럭신호를 전송하는 전송게이트;

상기 내부클럭신호의 펄스폭을 좁히는 노아게이트; 및

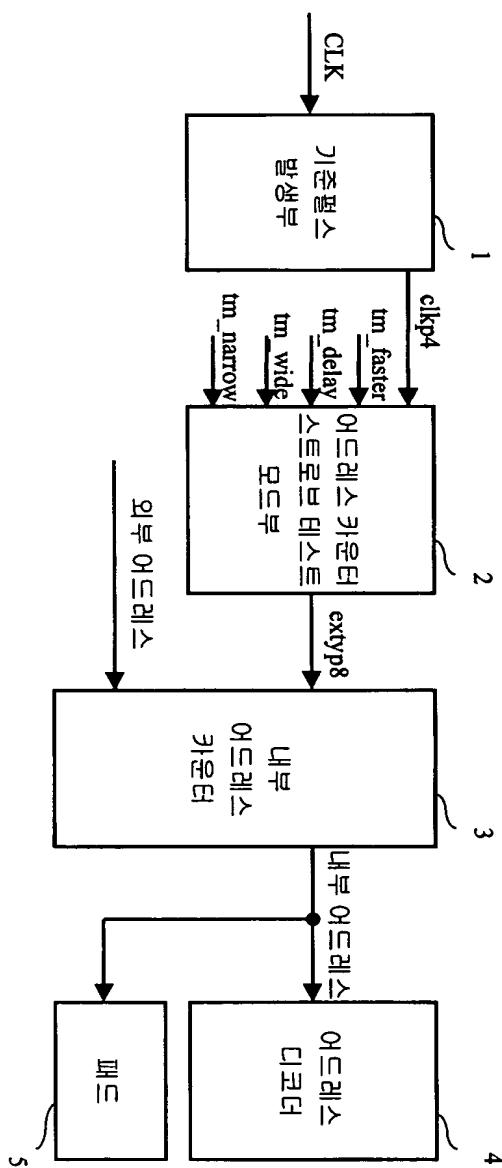
상기 내부클럭신호의 펄스폭을 넓히는 낸드게이트를 구비하는 것을 특징으로 하는 어드레스 카운터 스트로브 테스트 모드 장치.

【도면】

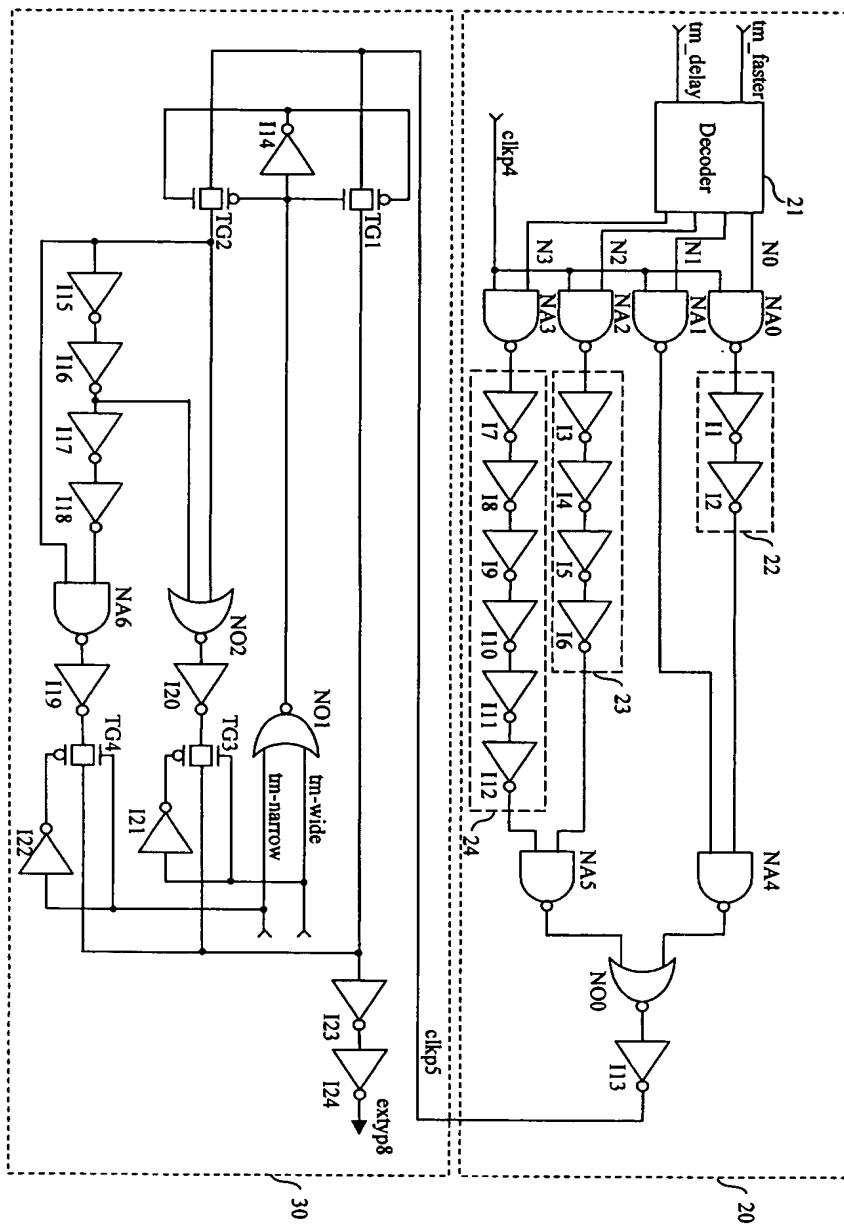
【도면 1】



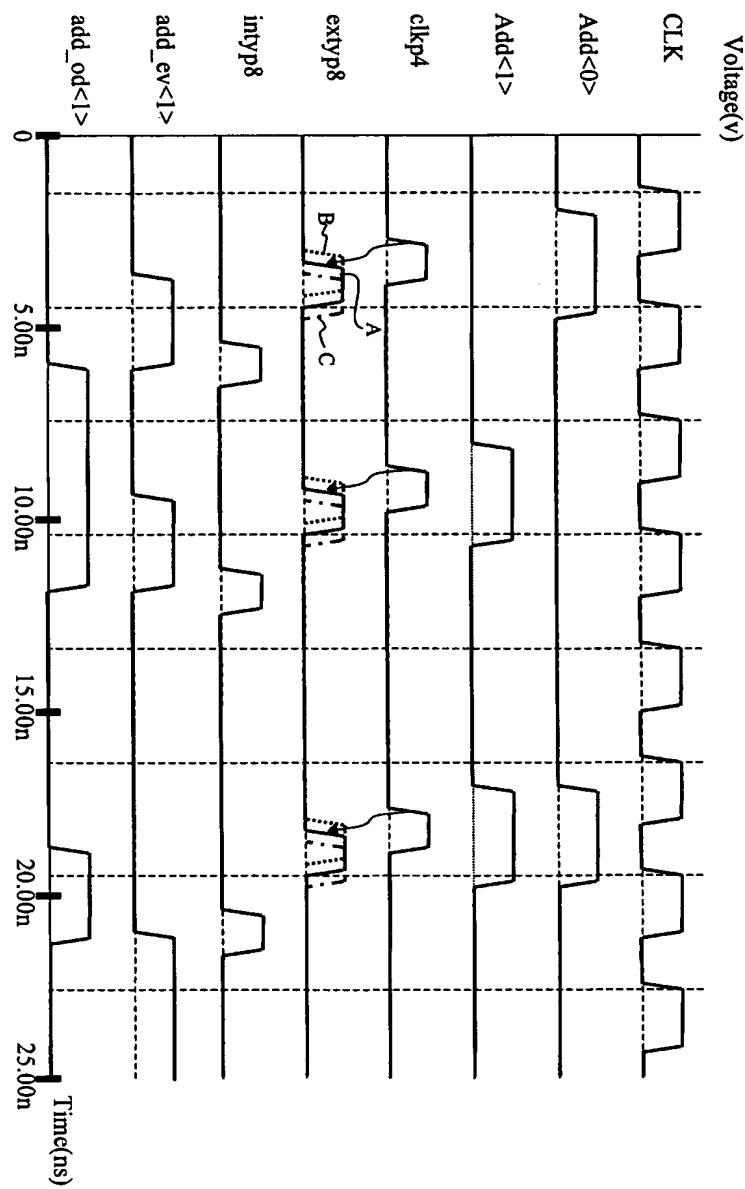
【도 2】



【도 3】



【FIG. 4】



【도 5】

